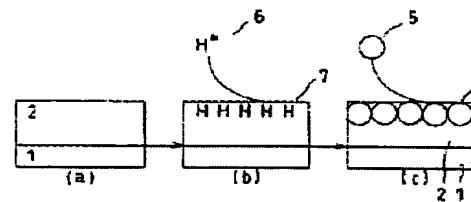


**MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE****Publication number:** JP2002064097**Publication date:** 2002-02-28**Inventor:** MURAOKA KOICHI**Applicant:** TOKYO SHIBAURA ELECTRIC CO**Classification:****- international:** H01L21/318; H01L29/78; H01L21/02; H01L29/66; (IPC1-7): H01L21/318; H01L29/78**- european:****Application number:** JP20000190977 20000626**Priority number(s):** JP20000190977 20000626; JP19990186536 19990630; JP20000169536 20000605**Report a data error****Abstract of JP2002064097**

**PROBLEM TO BE SOLVED:** To form a silicon nitride oxide film of less interface level state and fixed electric charge while penetration of boron is prevented. **SOLUTION:** An Si-H combination, Si-F combination, or Si-Cl combination is introduced to the surface of a silicon nitride film. By nitriding the surface, a silicon nitride oxide film is formed only on the silicon oxide film surface.



---

Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-64097

(P2002-64097A)

(43)公開日 平成14年2月28日 (2002.2.28)

(51)Int.Cl.<sup>7</sup>

H 01 L 21/318  
29/78

識別記号

F I

H 01 L 21/318  
29/78

マーク\*(参考)

C 5 F 0 4 0  
3 0 1 G 5 F 0 5 8

審査請求 有 請求項の数 5 OL (全 10 頁)

(21)出願番号 特願2000-190977(P2000-190977)  
(22)出願日 平成12年6月26日 (2000.6.26)  
(31)優先権主張番号 特願平11-186536  
(32)優先日 平成11年6月30日 (1999.6.30)  
(33)優先権主張国 日本 (JP)  
(31)優先権主張番号 特願2000-169536(P2000-169536)  
(32)優先日 平成12年6月6日 (2000.6.6)  
(33)優先権主張国 日本 (JP)

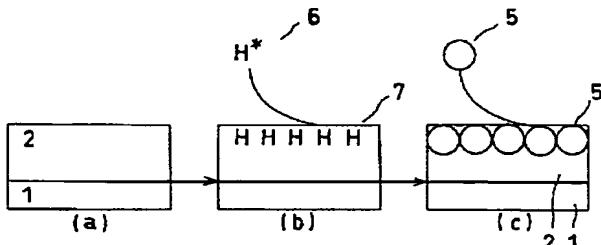
(71)出願人 000003078  
株式会社東芝  
東京都港区芝浦一丁目1番1号  
(72)発明者 村岡 浩一  
神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内  
(74)代理人 100081732  
弁理士 大胡 典夫 (外2名)  
Fターム(参考) 5F040 DA00 DA06 DC01 EC07 ED01  
ED02 ED03 ED06 ED07 ED09  
FC04  
5F058 BC11 BD15 BE04 BE10 BF07  
BF14 BF15 BF17 BF54 BF55  
BF64 BJ01

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 界面準位及び固定電荷が少なくボロンの突き抜けを防止するシリコン窒化酸化膜の形成を可能とする。

【解決手段】 シリコン酸化膜表面にSi-H結合、Si-F結合或いはSi-C1結合を導入し、この表面を窒化することで、シリコン酸化膜表面のみにシリコン窒化酸化膜を形成する。



## 【特許請求の範囲】

【請求項1】半導体基板上のシリコン酸化膜表面に、Si-H結合、Si-F結合及びSi-C1結合とから選ばれる少なくとも一つの結合を形成する工程と、

前記結合が形成された前記シリコン酸化膜表面を窒化する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項2】半導体基板表面を弗素終端する工程と、前記弗素終端した半導体基板表面を酸化し、表面にSi-F結合を有するシリコン酸化膜を形成する工程と、前記Si-F結合が形成された前記シリコン酸化膜表面を窒化する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項3】半導体基板表面を塩素終端する工程と、前記塩素終端した半導体基板表面を酸化し、表面にSi-C1結合を有するシリコン酸化膜を形成する工程と、前記Si-C1結合が形成された前記シリコン酸化膜表面を窒化する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項4】半導体基板上のシリコン酸化膜表面に電子或いは光を照射することにより、前記シリコン酸化膜表面に欠陥を形成する工程と、

前記欠陥が形成された前記シリコン酸化膜表面を窒化する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項5】半導体基板上のシリコン酸化膜表面に局所的に電子或いは光を照射することにより、前記シリコン酸化膜表面に局所的に欠陥を形成する工程と、前記欠陥が形成された前記シリコン酸化膜表面を局所的に窒化しシリコン窒化酸化膜を形成する工程とを具備することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体基板上に形成された高信頼性の絶縁膜を有する半導体装置の製造方法に関する。

## 【0002】

【従来の技術】近年、Metal Oxide Semiconductor Field Effect Transistor(MOSFET)の微細化が進むにつれ、ゲート絶縁膜がシリコン酸化膜であるMOSFETでは、シリコン酸化膜の膜厚を2nm以下と非常に薄く形成しなくてはならなくなり、充分な信頼性を得ることが困難になってきている。

【0003】その主な原因の一つに、p型MOSFETに使用されているp型ポリSiゲート電極中の不純物であるボロンが、薄いシリコン酸化膜中を突き抜けてシリコン基板中に拡散し、p型MOSFETのしきい値電圧を変動させるといった問題がある(T. Kuroi et al., Jpn. J. Appl. Phys., Vol. 34(1995) pp.771)。

【0004】この問題を解決するためにシリコン窒化酸

化膜をゲート絶縁膜に用いたMOSFETが注目されている。シリコン窒化酸化膜は、シリコン酸化膜よりも比誘電率が大きく、ボロンがゲート絶縁膜を突き向かないようにできるためである。

【0005】シリコン窒化酸化膜をシリコン基板上に形成するためには、先ずシリコン基板上にシリコン酸化膜を形成し、NH<sub>3</sub>雰囲気中で高温アニールすることで、このシリコン酸化膜を窒化する方法(M. Yasuda et al., Extended Abst. of SSDM(1991) pp.237)や、N<sub>2</sub>O雰囲気中或いはNO雰囲気中で高温アニールすることで、このシリコン酸化膜を窒化する方法(R. Koba et al., J. ElectroChem. Soc., 135 (1988) pp.144)がある。

【0006】上記した方法のうちNO雰囲気中でシリコン基板上に形成されたシリコン酸化膜を高温アニールして、シリコン窒化酸化膜を形成する方法を説明する。

【0007】先ず、シリコン基板を900°Cに加熱し、酸素ガスを供給することでシリコン基板の表面にシリコン酸化膜を形成する。

【0008】次に、同じ温度で炉内に連続してNOガスを供給し、シリコン酸化膜を窒化し、シリコン窒化酸化膜を形成する。

【0009】このようにして形成されたシリコン窒化酸化膜をp型MOSFETのゲート絶縁膜に用いることで、絶縁膜中の窒素によってボロンの突き抜け量を減少させ、p型MOSFETのしきい値変動を抑制することに成功している。

【0010】しかしながらこの窒化方法では、窒素原子がゲート絶縁膜とシリコン基板との界面付近に拡散してしまうため、界面準位と固定電荷が増加してしまう問題が生じている(黒井等、応用物理、66巻(1997) pp.381)。この現象は窒化の際に900°Cというアニール温度が高温であるためにシリコン酸化膜中に導入された窒素原子がシリコン基板界面まで拡散し、界面にトラップされてしまうことで生じると考えられる。また発明者らの実験によると同様の問題がNH<sub>3</sub>やN<sub>2</sub>O雰囲気中の高温アニールによる場合にも生じていた。

## 【0011】

【発明が解決しようとする課題】上述したように、NOガス、NH<sub>3</sub>やN<sub>2</sub>O雰囲気中の高温アニールでは、シリコン酸化膜を窒化する際に、窒素原子が絶縁膜とシリコン基板の界面に拡散してしまうため、界面準位と固定電荷が増加してしまう問題がある。

【0012】本発明は、上記問題点を解決するためになされたものであり、シリコン酸化膜を窒化する際に、窒素原子がシリコン基板界面に拡散することを抑制して、界面準位及び固定電荷を抑制することを目的とする。

【0013】それにより電気的特性が高く信頼性の高いシリコン窒化酸化膜を実現し、このシリコン窒化酸化膜をゲート絶縁膜に用いた半導体装置を提供することを目

的とする。

【0014】

【課題を解決するための手段】上記目的を達成するためには、半導体基板上のシリコン酸化膜表面に、Si-H結合、Si-F結合及びSi-C1結合とから選ばれる少なくとも一つの結合を形成する工程と、前記結合が形成された前記シリコン酸化膜表面を窒化する工程とを具備することを特徴とする半導体装置の製造方法を提供する。

【0015】本発明によると、Si-H結合、Si-F結合或いはSi-C1結合がNと挿入反応或いは置換反応することによりSi-N結合を形成する。Si-H結合、Si-F結合、Si-C1結合は、予めシリコン酸化膜の表面に形成されており、基板温度やNのエネルギーを前記挿入反応或いは置換反応は生じるがシリコン酸化膜中をNが拡散しない範囲に制御することで、絶縁膜と半導体基板界面にNが拡散することを防ぐことができる。

【0016】特に、前記Si-H結合、Si-F結合或いはSi-C1結合が形成された前記シリコン酸化膜表面を窒素ラジカル中に晒し、前記シリコン酸化膜表面を窒化することが望ましい。

【0017】窒素ラジカルによる窒化は、シリコン酸化膜表面を十分に窒化させることができかつ半導体基板界面にNが拡散するのを十分に防止できる。

【0018】また、前記Si-H結合、Si-F結合或いはSi-C1結合が形成された前記シリコン酸化膜表面を窒素ガスまたは窒素化合物ガス中に晒し、100°C以上600°C以下の温度でアニールすることで前記シリコン酸化膜表面を窒化してもよい。100°C以下の温度では、十分な窒化を行うことができないし、600°C以上の温度では、Nが絶縁膜と半導体基板界面に拡散してしまう恐れがある。この温度範囲で窒化することによってシリコン酸化膜表面を十分に窒化させることができかつ半導体基板界面にNが拡散するのを十分に防止できる。

【0019】また、前記Si-H結合は、前記半導体基板上の前記シリコン酸化膜表面をHF溶液に晒すことにより簡単に形成できる。

【0020】また、前記Si-H結合は、前記半導体基板上の前記シリコン酸化膜表面を水素ガス雰囲気中でアニールすることにより形成されてもよい。

【0021】また、前記Si-F結合は、前記半導体基板上の前記シリコン酸化膜表面を弗素系ガス雰囲気中に晒すことにより簡単に形成できる。

【0022】また、前記Si-F結合は、前記半導体基板上の前記シリコン酸化膜表面を弗素系ラジカルガス雰囲気中に晒すことにより形成してもよい。

【0023】また、前記Si-C1結合は、前記半導体基板上の前記シリコン酸化膜表面を塩素系ガス雰囲気中

に晒すことにより簡単に形成できる。

【0024】また、前記Si-C1結合は、前記半導体基板上の前記シリコン酸化膜表面を塩素系ラジカルガス雰囲気中に晒すことにより形成してもよい。

【0025】また、本発明は、半導体基板表面を弗素終端する工程と、前記弗素終端した半導体基板表面を酸化し、表面にSi-F結合を有するシリコン酸化膜を形成する工程と、前記Si-F結合が形成された前記シリコン酸化膜表面を窒化する工程とを具備することを特徴とする半導体装置の製造方法を提供する。

【0026】この方法では、半導体基板表面を弗素終端させてSi-F結合を形成する。この後に酸化させると、酸化膜がSi-F結合を表面に残しながら成長する。こうして表面にSi-F結合を有するシリコン酸化膜を形成できる。後の窒化工程は前述した通りの方法で行うことが可能である。

【0027】また、前記半導体基板表面を弗素終端する工程は、前記半導体基板表面を弗素系ガスや弗素系ラジカルガス雰囲気中に晒すことにより簡単に行うことができる。

【0028】また、本発明は、半導体基板表面を塩素終端する工程と、前記塩素終端した半導体基板表面を酸化し、表面にSi-C1結合を有するシリコン酸化膜を形成する工程と、前記Si-C1結合が形成された前記シリコン酸化膜表面を窒化する工程とを具備することを特徴とする半導体装置の製造方法を手供する。

【0029】この方法では、半導体基板表面を弗素終端させてSi-C1結合を形成する。この後に酸化させると、酸化膜がSi-C1結合を表面に残しながら成長する。こうして表面にSi-C1結合を有するシリコン酸化膜を形成できる。後の窒化工程は前述した通りの方法で行うことが可能である。

【0030】また、前記半導体基板表面を塩素終端する工程は、前記半導体基板表面を塩素系ラジカルガス雰囲気中に晒すことにより簡単に行うことができる。

【0031】また、本発明は、半導体基板上のシリコン酸化膜表面に電子或いは光を照射することにより、前記シリコン酸化膜表面に欠陥を形成する工程と、前記欠陥が形成された前記シリコン酸化膜表面を窒化する工程とを具備することを特徴とする半導体装置の製造方法を提供する。

【0032】また、本発明は、半導体基板上のシリコン酸化膜表面に局的に電子或いは光を照射することにより、前記シリコン酸化膜表面に局的に欠陥を形成する工程と、前記欠陥が形成された前記シリコン酸化膜表面を局的に窒化しシリコン窒化酸化膜を形成する工程とを具備することを特徴とする半導体装置の製造方法を提供する。

【0033】このようにすることに半導体基板上に選択的にシリコン窒化酸化膜を所望のパターンに形成でき

る。

【0034】本発明によると、予めシリコン酸化膜の表面に電子或いは光を照射することで欠陥を導入する。この欠陥はシリコン酸化膜と半導体基板界面の界面には達成しない程度のエネルギーにより、電子や光の照射エネルギーを制御する。次に、基板温度やNのエネルギーを前記欠陥部分にNが捉えられるがシリコン酸化膜中をNが拡散しない範囲に制御することで、絶縁膜と半導体基板界面にNが拡散することを防ぐことができる。

【0035】このような窒化条件としては窒素ラジカルを用いることが望ましいし、100°C以上600°C以下の温度条件で行うことが望ましい。その理由は前述の通りである。

【0036】以上のようにして、半導体基板の界面にN原子が実質的でないシリコン窒化酸化膜をナノオーダーの膜厚で半導体基板上に形成できる。この絶縁膜をゲート絶縁膜として用いることで、チャネル長が50nmを切るようなMOSトランジスタを信頼性よく形成することが可能となる。

【0037】

【発明の実施の形態】以下、図面を参照して、本発明の好ましい実施形態について詳細に説明する。

【0038】図1は、本発明の第1の実施形態に係る半\*

<水素処理→窒化処理>

基板温度：室温

ガス : H<sub>2</sub> / Ar 20/100sccm (放電2.45GHz 200W)

↓

N<sub>2</sub> 120sccm (放電2.45GHz 200W)

全圧 : 1 Torr

処理時間：水素処理30分→窒化30分

以上の活性な水素原子を用いた水素処理と活性な窒素原子を用いた窒化処理により、シリコン酸化膜2表面のみ窒化されたシリコン窒化酸化膜を形成することができる。

【0043】ここで必要なことは窒素ラジカルとSi-H結合との挿入反応は起こるが、Nがシリコン基板1の界面に拡散しない程度の窒素ラジカルエネルギー及び基板温度に調節しなければいけない。本実施形態ではシリコン基板と形成されたシリコン窒化酸化膜との界面には実質的にNが存在せず、窒化処理による不要な界面順位や固定電荷は見られなかった。

【0044】次に、このようにして形成されたシリコン窒化酸化膜上に、連続的にポリSi層を形成した後、上記窒化酸化炉からシリコン基板1を搬出する。

【0045】この後は通常のMOSFET形成工程により、ゲート絶縁膜が本発明により形成されたシリコン窒化酸化膜からなるMOSFETを形成する。

【0046】このようにして形成されたp型MOSFETはボロンがシリコン基板中に拡散せず、窒素原子がシリコン基板界面に拡散していない。したがってしきい値

\*導体装置の製造方法の工程断面図である。

【0039】先ず、図1(a)に示すように、(100)面を正面とするn型シリコン基板1の表面の有機物及び金属汚染を除去するため、このn型シリコン基板1の表面を硫酸過水処理→塩酸過水処理→希硫酸処理の順に前処理し、基板表面を水素終端する。次に、この水素終端されたシリコン基板1を炉内に搬入する。次に、基板温度900°CでDry酸化し、シリコン基板1上にシリコン酸化膜2を形成する。

【0040】次に、図1(b)に示すように、マイクロ波放電によるダウンフローブラズマにより活性な水素原子6をシリコン酸化膜2の表面に供給し水素処理を行う。それによりシリコン酸化膜2表面にSi-H結合7を形成する。

【0041】次に、図1(c)に示すように、ガスを切り替えてマイクロ波放電によるダンフローブラズマにより活性な窒素原子5を生成し、シリコン酸化膜2に供給する窒化処理を行う。このとき活性な窒素原子5はSi-H結合7との挿入反応(Si-H + N\* → Si-N-H)により、シリコン酸化膜2の表面を窒化する。

【0042】以下にシリコン酸化膜2を水素処理した後窒化処理したプロセス条件を記す。

変動もなく、界面準位及び固定電荷が少ない高信頼性のMOSFETを提供できた。

【0047】また、本実施形態では、活性な水素原子を用いた水素処理を用いてSi-H結合をシリコン酸化膜2の表面に形成したが、HF溶液処理或いはH<sub>2</sub>アーチー等により、シリコン酸化膜表面にSi-H結合を形成してもよい。HF溶液処理を用いると溶液処理であるので、チャンバー内を真空引きする等の気相処理の工程を省ける。またH<sub>2</sub>アーチー処理では水素をラジカル化する必要がなく工程を省ける。この後活性な窒素ガスで処理することで同様の効果を得ることができる。

【0048】窒化処理としては活性な窒素を用いるラジカル窒化のほかに、窒素雰囲気中のアーチーによる窒化処理でも良い。この場合アーチー温度を100°C以上600°C以下にすることでシリコン酸化膜表面を十分に窒化させることができかつシリコン基板界面にNが拡散するのを十分に防止できる。

【0049】図2は、本発明の第2の実施形態に係る半導体装置の製造方法の工程断面図である。

【0050】先ず、図2(a)に示すように、(100)

0) 面を正面とするn型シリコン基板1の表面の有機物及び金属汚染を除去するため、このシリコン基板を硫酸過水処理→塩酸過水処理→希硫酸処理の順に前処理し、基板表面を水素終端する。次に、この水素終端シリコン基板1を炉内に搬入する。次に、基板温度900°CでDry酸化し、シリコン酸化膜2を形成する。

【0051】次に、図2(b)に示すように、マイクロ波放電によるダウンフローブラズマにより活性な塩素原子8をシリコン酸化膜2の表面に供給する塩素処理を行い、シリコン酸化膜表面にSi-C1結合9を形成す \*10

<塩素処理→窒化処理>

基板温度：室温

ガス : Cl<sub>2</sub> / Ar 20/100sccm (放電2. 45GHz 200W)  
↓

N<sub>2</sub> 120sccm (放電2. 45GHz 200W)

全圧 : 1 Torr

処理時間：塩素処理30分→窒化30分

以上の活性な塩素原子を用いた塩素処理と活性な窒素原子を用いた窒化処理により、シリコン酸化膜2表面のみ窒化されたシリコン窒化酸化膜を形成することができる。

【0054】ここで必要なことは窒素ラジカルとSi-C1結合との置換反応は起こるが、Nがシリコン基板1の界面に拡散しない程度の窒素ラジカルエネルギー及び基板温度に調節しなければいけない。本実施形態ではシリコン基板と形成されたシリコン窒化酸化膜との界面には実質的にNが存在せず、窒化処理による不要な界面順位や固定電荷は見られなかった。

【0055】次に、このようにして形成されたシリコン窒化酸化膜上に、連続的にポリSi層を形成した後、上記窒化酸化炉からシリコン基板1を搬出する。

【0056】この後は通常のMOSFET形成工程により、ゲート絶縁膜が本発明により形成されたシリコン窒化酸化膜からなるMOSFETを形成する。

【0057】このようにして形成されたp型MOSFETはボロンがシリコン基板中に拡散せず、窒素原子がシリコン基板界面に拡散していない。したがってしきい値変動もなく、界面準位及び固定電荷が少ない高信頼性のMOSFETを提供できた。

【0058】また、活性な塩素原子を用いた塩素処理以外の方法でSi-C1結合を形成してもよい。例えばHCl、Cl<sub>2</sub>等の塩素系ガス中のアーチ等により、シリコン酸化膜2の表面にSi-C1結合を形成してもよい。この場合もその後活性な窒素ガスで処理することで同様の効果を得ることができる。

【0059】また、窒化処理としては活性な窒素を用いるラジカル窒化のほかに、窒素雰囲気中のアーチによる窒化処理でも良い。この場合アーチ温度を100°C以上600°C以下にすることでシリコン酸化膜表面を十分に窒化させることができかつシリコン基板界面にN

\*る。

【0052】次に、図2(c)に示すように、連続してガスを切り替えマイクロ波放電によるダウンフローブラズマにより活性な窒素原子5を基板に供給する窒化処理を行い、Si-C1結合9と置換反応(Si-C1+N\*→Si-N+C1)させ、シリコン酸化膜2の表面を窒化する。

【0053】以下にシリコン酸化膜2を塩素処理した後窒化処理したプロセス条件を記す。

が拡散するのを十分に防止できる。

【0060】また、シリコン酸化膜表面処理は塩素系ガスだけでなく、弗素等のハロゲンガスを用いても同様の効果を得る。例えばHF溶液から生じるHF蒸気を用いてシリコン酸化膜表面にSi-F結合を形成し、連続で窒化処理することでSi-FとNの置換反応により酸化膜表面に窒素原子を導入できる。

【0061】この後の窒化工程は本実施例と同じ条件で行うことでシリコン窒化酸化膜を形成できる。

【0062】図3にシリコン酸化膜2の表面をHF蒸気処理してSi-F結合を形成し、その後に上記窒化条件で窒化して、シリコン窒化酸化膜を形成した場合と、シリコン酸化膜の表面をHF上記処理せずに上記窒化条件で窒化処理した場合のシリコン酸化膜2表面のX線光電子分光分析結果を示す。

【0063】横軸はフェルミレベルを基準とした内殻N1sの束縛エネルギー、縦軸はX線照射により内殻N1sから放出された光電子数を示しており、本測定で得られる光電子量からシリコン酸化膜2の表面の窒素濃度を導出できる。

【0064】図3の結果より、HF処理をしてSi-F結合を形成して窒化した場合には、束縛エネルギー400eV付近にピークを有しており、シリコン酸化膜2の表面に窒素が取り込まれることが分かる。この時シリコン酸化膜2の表面の窒素濃度は2.8atom%である。

【0065】一方HF処理をせずに同じ条件で窒化した場合には内殻N1sからのピークはなく、シリコン酸化膜2表面には十分に窒素が取り込まれていないことが分かる。これは本実施形態で用いた窒化条件では、Si-F結合とNの置換反応は生じるがシリコン酸化膜中をNが拡散することを防ぐ条件であることが分かる。このことはSi-H結合とNの挿入反応やSi-C1結合と

Nの置換反応においても同様にいえる。

【0066】図4は、本発明の第3の実施形態に係る半導体装置の製造方法の工程断面図である。

【0067】先ず、図4(a)に示すように、(100)面を正面とするn型シリコン基板1の表面の有機物及び金属汚染を除去するため、このシリコン基板1を硫酸過水処理→塩酸過水処理の順に前処理する。このときシリコン基板1の表面にはケミカルオキサイド10が形成されている。

【0068】次に、図4(b)に示すように、このケミカルオキサイド10が形成されたシリコン基板1を炉内に搬入する。次に、無水弗化水素ガス(AHF)11による無水弗化水素処理によりケミカルオキサイド10を除去し、シリコン基板1の表面を弗素原子12で終端する。

【0069】次に、図4(c)に示すように、乾燥酸素13により基板温度900°Cで酸化処理し、シリコン酸化膜2を形成する。このときシリコン基板1の表面に形成されていたSi-F結合は酸化とともに形成されたシリコン酸化膜2の表面に移動し、シリコン酸化膜2の表面近傍にSi-F結合を形成する。

【0070】次に、図4(d)に示すように、マイクロ波放電によるダウンフローブラズマにより活性な窒素原子5を生成し基板に供給する窒化処理を行い、弗素原子12と置換反応(Si-F+N\*→Si-N+F)により、シリコン酸化膜2の表面を窒化する。

【0071】以下にシリコン基板1を無水弗化水素処理した後酸化し、表面にSi-F結合を有するシリコン酸化膜2を形成した後、窒化処理したプロセス条件を記す。

#### <無水弗化水素処理>

基板温度：室温

ガス：AHF 100sccm

全圧：1 Torr

処理時間：30分

#### <酸化処理>

基板温度：900°C

ガス：O<sub>2</sub> 157m

全圧：400 Torr

処理時間：30分

#### <窒化処理>

基板温度：室温

ガス：N<sub>2</sub> 120 sccm (放電2.45GHz 200W)

全圧：1 Torr

処理時間：30分

以上の無水弗化水素処理と酸化処理と活性な窒素原子を用いた窒化処理により、シリコン酸化膜2表面のみ窒化されたシリコン窒化酸化膜を形成することができる。

【0072】ここで必要なことは窒素ラジカルとSi-F結合との挿入反応は起こるが、Nがシリコン基板1の界面に拡散しない程度の窒素ラジカルエネルギー及び基板温度に調節しなければいけない。本実施形態ではシリコン基板と形成されたシリコン窒化酸化膜との界面には実質的にNが存在せず、窒化処理による不要な界面順位や固定電荷は見られなかった。

【0073】次に、このようにして形成されたシリコン窒化酸化膜上に、連続的にボリSi層を形成した後、上記窒化酸化炉からシリコン基板1を搬出する。

【0074】この後は通常のMOSFET形成工程により、ゲート絶縁膜が本発明により形成されたシリコン窒化酸化膜からなるMOSFETを形成する。

【0075】このようにして形成されたp型MOSFETはボロンがシリコン基板中に拡散せず、窒素原子がシリコン基板界面に拡散していない。したがってしきい値変動もなく、界面準位及び固定電荷が少ない高信頼性のMOSFETを提供できた。

【0076】また無水弗化水素処理以外の方法で基板表面に弗素原子を導入してもよい。例えば活性な弗素ガス処理或いはF<sub>2</sub>アニール等により、弗素終端シリコン表面を形成することが可能であり、酸化後の活性な窒素ガス処理により同様の効果を得ることができる。

【0077】更にシリコン基板のケミカルオキサイド除去処理は弗素系ガスだけでなく、塩素等のハログンガスを用いても同様の効果を得ることができる。このときはシリコン基板1の表面は塩素原子で終端する。さらに酸化処理を施すと、シリコン酸化膜2の表面はSi-C1結合を有することになる。これは酸化処理することによってシリコン基板の表面に形成されていたSi-C1結合は酸化と共に形成されたシリコン酸化膜の表面に移動し、シリコン酸化膜の表面近傍にSi-C1結合を形成するためである。この後の窒化処理によりSi-C1結合とNの置換反応によりシリコン酸化膜表面のみ窒化される。

【0078】また、窒化処理としては活性な窒素を用いるラジカル窒化のほかに、窒素雰囲気中でのアニールによる窒化処理でも良い。この場合アニール温度を100°C以上600°C以下にすることでシリコン酸化膜表面を十分に窒化させることができかつシリコン基板界面にNが拡散するのを十分に防止できる。

【0079】図5は、本発明の第4の実施形態に係る半導体装置の製造方法の工程断面図である。

【0080】先ず、図5(a)に示すように、(100)面を正面とするn型シリコン基板1の表面の有機物及び金属汚染を除去するため、この基板を硫酸過水処理→塩酸過水処理→希硫酸処理の順に前処理し、基板表面を水素終端する。次に、この水素終端シリコン基板1を炉内に搬入する。次に、基板温度900°CでDry酸化をし、シリコン酸化膜2を形成する。

【0081】次に、図5(b)に示すように、マイクロ

波放電によるダウンフローブラズマにより活性な弗素原子12をシリコン酸化膜2表面に供給する弗素処理を行い、シリコン酸化膜2表面にSi-F結合14を形成する。

【0082】次に、図5(c)に示すように、連続してガスを切り替えマイクロ波放電によるダウンフローブラズマにより活性な窒素原子5を生成し、Si-F結合14と置換反応(Si-F + N\* → Si-N + F)する。\*

<弗素処理→窒化処理→シリコン窒化膜堆積処理>

基板温度：室温(弗素処理、窒化)→700°C(堆積)

ガス：F<sub>2</sub> / Ar 20/100sccm(放電2.45GHz 200W)

↓

N<sub>2</sub> 120sccm(放電2.45GHz 200W)

↓

SiH<sub>2</sub>Cl<sub>2</sub> / NH<sub>3</sub> 10/100sccm

全圧：1 Torr

処理時間：弗素処理30分→窒化30分→堆積10分

以上の活性な弗素原子を用いた弗素処理、活性な窒素原子を用いた窒化処理及びシリコン窒化膜の堆積により、イキュベーションタイムなしに、シリコン酸化膜2表面にシリコン窒化酸化膜を介して、均一にシリコン窒化膜15を形成できる。

【0085】ここで必要なことは窒素ラジカルとSi-F結合との置換反応は起こるが、Nがシリコン基板1の界面に拡散しない程度の窒素ラジカルエネルギー及び基板温度に調節しなければ行かない。本実施例ではシリコン基板と形成されたシリコン窒化酸化膜との界面には実質的にNが存在せず、窒化処理による不要な界面順位や固定電荷は見られなかった。

【0086】また、本実施形態では、Si-F結合とNの置換反応により形成したシリコン窒化酸化膜上にさらにシリコン窒化膜を堆積することによって、信頼性を向上させている。しかしながらこの方法を用いると膜厚が厚くなる傾向にあり微細MOSFETに用いるには制限されることもある。

【0087】次に、このようにして形成されたシリコン窒化膜15上に、連続的にポリSi層を形成した後、上記窒化酸化炉からシリコン基板1を搬出する。

【0088】この後は通常のMOSFET形成工程により、ゲート絶縁膜が本発明により形成されたシリコン窒化酸化膜/シリコン窒化膜からなるMOSFETを形成する。

【0089】このようにして形成されたp型MOSFETはボロンがシリコン基板中に拡散せず、窒素原子がシリコン基板界面に拡散していない。したがってしきい値変動もなく、界面準位及び固定電荷が少ない高信頼性のMOSFETを提供できた。

【0090】また、活性な弗素原子を用いた弗素処理以外の方法でSi-F結合を形成してもよい。例えばF<sub>2</sub>、アニール或いは無水弗化水素処理等により、酸化膜表面

\* こうしてシリコン酸化膜2表面を窒化する。

【0083】次に、図5(d)に示すように、ジクロロシランとアンモニアを供給し、シリコン窒化酸化膜上にシリコン窒化膜15を堆積する。

【0084】以下にシリコン酸化膜2を弗素処理した後窒化処理しシリコン窒化膜15を堆積したプロセス条件を記す。

にSi-F結合を形成することが可能であり、連続で活性な窒素ガス処理することで同様の効果を得ることができる。また、酸化膜表面処理は弗素系ガスだけでなく、塩素等のハロゲンガスを用いても同様の効果を得る。この場合はシリコン酸化膜2表面にはSi-Cl結合が形成される。

【0091】図6は、本発明の第5の実施形態に係る半導体装置の製造方法の工程断面図である。

【0092】先ず、図6(a)に示すように、(100)面を正面とするn型シリコン基板1の表面の有機物及び金属汚染を除去するため、この基板を硫酸過水処理→塩酸過水処理→希硫酸処理の順に前処理し、基板表面を水素終端する。次に、この水素終端されたシリコン基板1を炉内に搬入する。次に、例えば基板温度900°CでDry酸化し、シリコン酸化膜2を形成する。

【0093】次に、図6(b)に示すように、電子ビーム3をシリコン酸化膜2表面に照射することで、酸素原子を脱離させ、シリコン酸化膜表面に欠陥4を生成する。この場合の欠陥はシリコン酸化膜のSi-O-Si-O…結合内に酸素がない場所が存在することを言う。

【0094】次に、図6(c)に示すように、マイクロ波放電によるダウンフローブラズマにより活性な窒素原子5を生成し基板に供給する窒化処理を行い、欠陥4を窒素原子5で終端する。

【0095】以下にシリコン酸化膜2表面を電子照射した後窒化処理したプロセス条件を記す。

<電子線照射→窒化処理>

基板温度：室温

電子線：加速電圧10V、電流値25mA(真空度1×10<sup>-8</sup>Torr)

ガス：N<sub>2</sub> 120sccm(放電2.45GHz 200W)

全圧：1 Torr(窒化時)

処理時間：電子線照射90分→窒化30分

以上の電子ビーム照射と活性な窒素原子を用いた窒化処理により、シリコン酸化膜2表面のみ窒化することができる。

【0096】ここで必要なことはシリコン酸化膜のSi-O結合中に酸素が存在しない欠陥部分に、窒素ラジカルが結合するがシリコン基板1の界面に拡散しない程度の窒素ラジカルエネルギー及び基板温度に調節しなければいけない。本実施形態ではシリコン基板と形成されたシリコン窒化酸化膜との界面には実質的にNが存在せず、窒化処理による不要な界面順位や固定電荷は見られなかった。

【0097】図7は、電子線をシリコン酸化膜2の表面に照射して窒化した場合と照射しないで窒化した場合の、シリコン窒化酸化膜表面のX線光電子分光分析の結果である。

【0098】横軸はフェルミレベルを基準とした内殻N 1sの束縛エネルギー、縦軸はX線照射により内殻N 1sから放出された光電子数を示しており、本測定で得られる光電子量からシリコン酸化膜2の表面の窒素濃度を導出できる。

【0099】図7の結果より、電子照射をして窒化処理した場合には、束縛エネルギー400eV付近にピークを有しており、シリコン酸化膜2の表面に窒素が取り込まれることが分かる。この時シリコン酸化膜2の表面の窒素濃度は3.7atom%である。

【0100】一方電子線を照射せずに同じ条件で窒化した場合には内殻N 1sからのピークはなく、シリコン酸化膜2表面には十分に窒素が取りこめられていないことが分かる。これは本実施形態で用いた窒化条件では、欠陥中にNが取り込まれるがシリコン酸化膜中をNが拡散することを防ぐ条件であることが分かる。

【0101】次に、このようにして形成されたシリコン窒化酸化膜上に、連続的にポリSi層を形成した後、上記窒化酸化炉からシリコン基板1を搬出する。

【0102】この後は通常のMOSFET形成工程により、ゲート絶縁膜が本発明により形成されたシリコン窒化酸化膜からなるMOSFETを形成する。

【0103】このようにして形成されたp型MOSFETはボロンがシリコン基板中に拡散せず、窒素原子がシリコン基板界面に拡散していない。したがってしきい値変動もなく、界面順位及び固定電荷が少ない高信頼性のMOSFETを提供できた。

【0104】本実施形態では、電子ビームを照射してシリコン酸化膜2表面に欠陥4を導入したが、電子ビーム以外の方法で欠陥を生成してもよい。例えばレーザーあるいはUV等の光をシリコン酸化膜2表面に照射することで、シリコン酸化膜2表面に欠陥4を生成することができる、活性な窒素ガス5で処理することで同様の効果を得ることができる。

【0105】また、電子ビーム等を集束することで、シリコン酸化膜2表面に局所的に欠陥を生成することが可能であり、窒化の場所を原子レベルで制御することが可能である。これは例えばエッチングマスクとしても活用できる。

【0106】図8は、シリコン酸化膜2表面に局所的に欠陥を導入した半導体装置の製造方法の工程断面図である。

【0107】先ず、図8(a)に示すように、(10)面を正面とするn型シリコン基板1の表面の有機物及び金属汚染を除去するため、この基板を硫酸過水処理→塩酸過水処理→希硫酸処理の順に前処理し、基板表面を水素終端する。次に、この水素終端されたシリコン基板1を炉内に搬入する。次に、基板温度900°CでDry酸化し、シリコン酸化膜2を形成する。

【0108】次に、図8(b)に示すように、電子ビーム3をシリコン酸化膜2表面の一部に照射することで、シリコン酸化膜2表面の酸素原子を局所的に脱離させ、シリコン酸化膜2表面に欠陥4を生成する。

【0109】次に、図8(c)に示すように、マイクロ波放電によるダウンフロープラズマにより活性な窒素原子5を生成し基板に供給する窒化処理を行い、欠陥4を窒素原子5で終端する。

【0110】以下にシリコン酸化膜2表面を電子照射した後窒化処理したプロセス条件を記す。

〈電子線照射→窒化処理〉

基板温度：室温

電子線：加速電圧10V、電流値25mA（真空度 $1 \times 10^{-8}$  Torr）

ガス：N<sub>2</sub> 120sccm（放電2.45GHz 200W）

全圧：1 Torr（窒化時）

処理時間：電子線照射90分→窒化30分

以上の電子ビーム照射と活性な窒素原子を用いた窒化処理により、所望のシリコン酸化膜2の表面のみ窒化することができる。

【0111】次に、図8(d)に示すように、この窒化領域5をマスクとして、酸素分子6を供給し酸化することで、局所的に異なる膜厚を持つ酸化膜を形成できる。

【0112】また、図8(e)に示すように、酸化する代わりに、弗素原子7を供給し、窒化領域5をマスクとして、選択的にエッチングすることも可能である。

【0113】次に、このようにして形成されたシリコン窒化酸化膜上に、連続的にポリSi層を形成した後、上記窒化酸化炉からシリコン基板1を搬出する。

【0114】この後は通常のMOSFET形成工程により、ゲート絶縁膜が本発明により形成されたシリコン窒化酸化膜からなるMOSFETを形成する。

【0115】このようにして形成されたp型MOSFETはボロンがシリコン基板中に拡散せず、窒素原子がシ

リコン基板界面に拡散していない。したがってしきい値変動もなく、界面準位及び固定電荷が少ない高信頼性のMOSFETを提供できた。

【0116】本実施形態では、電子ビームを集光し照射してシリコン酸化膜2表面に局所的に欠陥4を導入したが、電子ビーム以外の方法で欠陥を生成してもよい。例えばレーザー或いはUV等の光をシリコン酸化膜2表面の一部に集光することで、シリコン酸化膜2表面に局所的に欠陥4を生成することが可能であり、活性な窒素ガス5で処理することで同様の効果を得ることができる。

【0117】このように本実施形態では、局所的にシリコン酸化膜2を窒化することが可能となり、酸化或いはエッ칭と組み合わせることで異なる膜厚を持つシリコン酸化膜を形成できる。これにより薄膜ゲート絶縁膜を具備するMOSFETと厚膜ゲート絶縁膜を具備するMOSFETを同時に有する回路を同一基板上に形成することも可能となる。

【0118】尚、これまでの第1から第5の実施形態では、シリコン窒化酸化膜を形成した後、さらに高温アニールすることで、窒素の結合状態が安定化し、よりボロンの突き抜け耐性が向上する。このアニール雰囲気は真空中だけでなく、窒素ガス或いは希ガス中或いは励起した窒素ガス中でも同様の効果を得ることができる。

【0119】また、活性な原子を生成するための放電方法はマイクロ波放電だけでなく電子共鳴加熱(ERC)或いはイオンサイクロトロンプラズマ(ICP)等によるダウンフローブラズマでもよい。

【0120】また、第1から第5の実施形態では、マイクロ波キャビティによる窒素原子の活性化を行ったが、これ以外にも、触媒材としてPt、Au、Rt或いはTiを含む材料に窒素分子流を当てることで、活性な窒素原子を形成してもよい。触媒材としてはこれらの他にもSiやWを含む材料でもよい。

【0121】また、基板加熱機構として、ヒーターの他に赤外線ランプやレーザー等を用いてもよい。

【0122】また、窒素原子を含むガス中でのアニールによる窒化処理でシリコン酸化膜を窒化する場合、窒素原子を含むガスとしてN<sub>2</sub>だけでなく、NF<sub>3</sub>、NCI<sub>3</sub>、アンモニア、ヒドラジン等の窒素化合物ガスも適用可能である。この時窒素原子を含むガスをHe、Ar、Ne、Xe、Kr等の希ガスで希釈してもよい。

【0123】その他、本発明はその要旨を逸脱しない範囲で種々変形して実施できる。

【0124】

【発明の効果】本発明によれば、ボロンの突き抜けを抑

制するシリコン窒化酸化膜を、半導体基板の界面に窒素原子が到達しないように、ナノオーダの膜厚で形成できるので、窒化処理による界面準位及び固定電荷の極めて少ない薄くとも安定な絶縁膜を提供できる。

【0125】また、この絶縁膜をゲート絶縁膜として用いることで、高信頼性のMOSトランジスタを提供できる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係るシリコン窒化酸化膜の成膜工程について示した工程断面図。

【図2】 本発明の第2の実施形態に係るシリコン窒化酸化膜の成膜工程について示した工程断面図。

【図3】 シリコン酸化膜表面をHF処理した場合と、HF処理しない場合のシリコン窒化酸化膜と表面のX線光電子分光分析図。

【図4】 本発明の第3の実施形態に係るシリコン窒化酸化膜の成膜工程について示した工程断面図。

【図5】 本発明の第4の実施形態に係るシリコン窒化酸化膜の成膜工程について示した工程断面図。

【図6】 本発明の別の実施形態に係るシリコン窒化酸化膜の成膜工程について示した工程断面図。

【図7】 シリコン酸化膜表面を電子照射した場合としない場合の、シリコン窒化酸化膜表面のX線光電子分光分析図。

【図8】 本発明の別の実施形態に係るシリコン窒化酸化膜の成膜工程について示した工程断面図。

【符号の説明】

1、51…シリコン基板

12…弗素原子

2、53…シリコン酸化膜

13、52…酸素ガス

3…電子ビーム

14…Si-F結合

4…欠陥

15…シリコン窒化膜

5、56…窒素原子

54…NOガス

6…水素原子

55…シリコン窒化酸化膜

7…Si-H結合

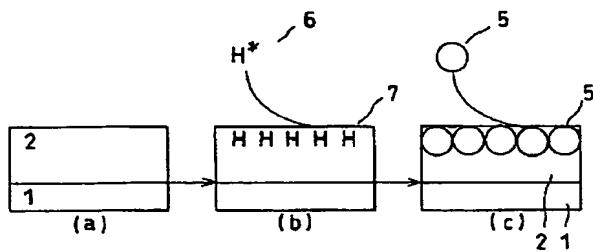
8…塩素原子

9…Si-C1結合

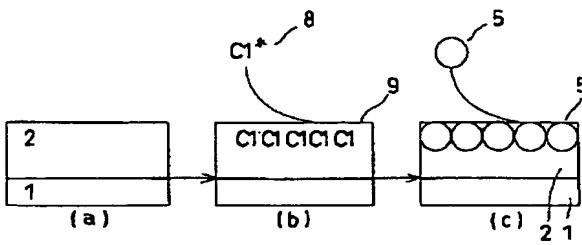
10…ケミカルオキサイド

11…無水弗化水素ガス

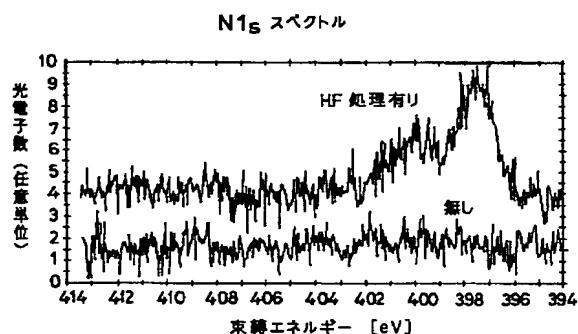
【図1】



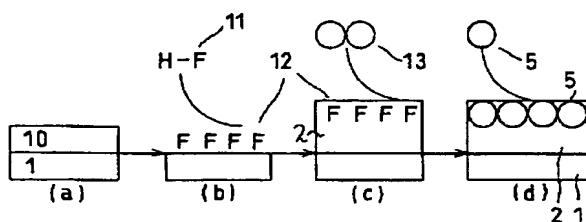
【図2】



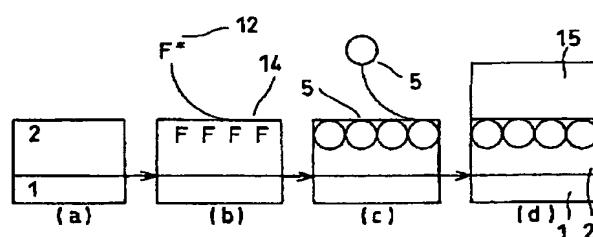
【図3】



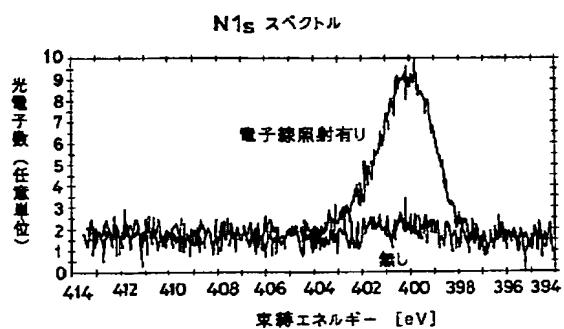
【図4】



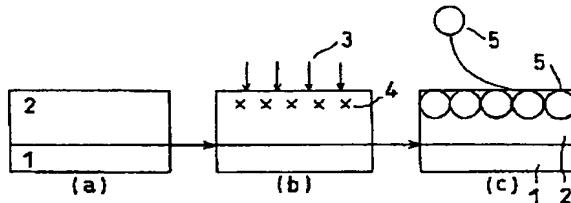
【図5】



【図7】



【図6】



【図8】

